

No title available

Publication number: JP5304072

Publication date: 1993-11-16

Inventor: YANAGISAWA MASAYUKI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: **G03F7/20; G03F7/22; H01L21/027; H01L21/30;
G03F7/20; G03F7/22; H01L21/02; (IPC1-7):
H01L21/027; G03F7/20; G03F7/22**

- European:

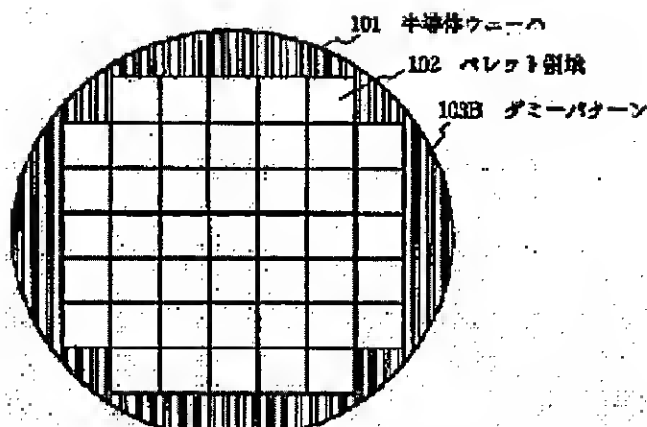
Application number: JP19920086763 19920408

Priority number(s): JP19920086763 19920408

Report a data error here

Abstract of JP5304072

PURPOSE:To enable a semiconductor device to be lessened in dispersion caused by a loading effect and a dummy pattern to be less separated from a semiconductor wafer by a method wherein the minimal dimension of a dummy pattern is set larger than that of a pellet region, and the pattern coverage of the dummy pattern is set nearly equal to that of a pellet region. **CONSTITUTION:**An aluminum film is deposited on all the surface of a semiconductor wafer 101, a positive photoresist film is applied thereon, an inner region is divided into pellet regions 102, and a prescribed pattern is projected onto the pellet region 102. A dummy pattern on a reticule is shrunk and projected onto a peripheral region to form a dummy pattern of stripes 103B. The minimum line width of the dummy pattern is set larger than that of the pellet region 102, and it is preferable that the minimum line width of the dummy pattern is set two or three times as large as that of the pellet region 102. By this setup, a pattern coverage is nearly uniform throughout the surface of the semiconductor wafer, so that a semiconductor device can be lessened in dispersion caused by a loading effect.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-304072

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/027				
G 0 3 F 7/20	5 2 1	9122-2H		
7/22	H	9122-2H		
		7352-4M		
			H 0 1 L 21/ 30	3 1 1 L

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-86763

(22)出願日 平成4年(1992)4月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 柳澤 正之

東京都港区芝五丁目7番1号日本電気株式会社内

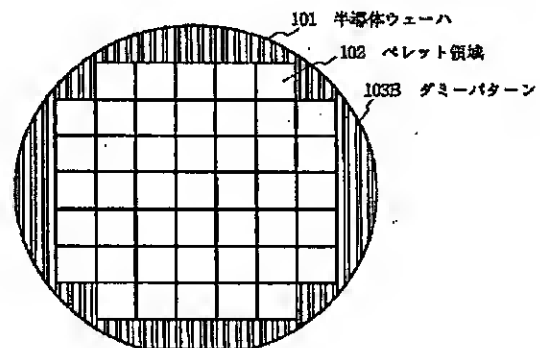
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】半導体装置の製造におけるリソグラフィ工程で、半導体ウェーハ101の周辺領域にダミーパターン103Bを転写形成する。ダミーパターンの最小寸法およびパターン被覆率はベレット領域102の最小寸法以上およびパターン被覆率とほぼ同じにする。

【効果】ローディング効果によるばらつきおよび、ダミーパターンの剥離を少なくする。



【特許請求の範囲】

【請求項1】 半導体ウェーハの表面に所定の被膜を形成する工程と、ポジ型レジスト膜を形成する工程と、前記半導体ウェーハ表面の内部領域に少なくとも一つのペレット領域を定義して、前記ペレット領域上の前記ポジ型レジスト膜に所定のパターンを転写し、前記ペレット領域を除く周辺領域上の前記ポジ型レジスト膜に前記パターンの最小寸法を少なくとも上回る最小寸法を有しパターン被覆率が前記パターンと実質的に等しいダミーパターンを転写する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 ダミーパターンが格子状である請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に半導体ウェーハのパターン転写工程に関する。

【0002】

【従来の技術】 従来の半導体装置の製造方法では、パターンの転写・形成を通常縮小投影型露光装置を用いて行うので、例えば図3に示すように半導体ウェーハ201の内部領域をマトリクス状にペレット領域202に区画し周辺領域203には露光を施さないのが一般的であった。すなわち、通常のポジ型フォトリソ膜を用いれば周辺領域にはフォトリソ膜が広範囲にわたって残っているという状態になる。この場合、ペレット領域202内と周辺領域との間でパターン被覆率（パターンの占有面積の当該領域の面積に対する比率）に格差が生じている。すなわち、ペレット領域では100%未満であるが、周辺領域では100%になる。このことが半導体装置の製造に支障をきたすことがある。

【0003】 例えば、ドライエッチングの工程においては、パターン被覆率に応じてエッチング速度、エッチング形状が変化する現象があり、また、プラズマ励起型の化学的気相成長の工程においても炉内で半導体ウェーハが対向するように配置した場合などに対面した半導体ウェーハのパターン被覆率の影響を受けて成膜速度が変化する現象があることが知られている。これらの現象はローディング効果と総称され、パターン形成の均一性を妨げる要因となっている。

【0004】 この対策として最も簡便で一般的なものは図4(a)に示すように半導体ウェーハ301の内部領域をペレット領域302でマトリクス状に占有し、周辺領域はダミーペレット領域303Aで占有させるというものである。ダミーペレット領域303Aには、ペレット領域に転写されるパターンの一部が転写される。したがって半導体ウェーハの全面にわたってパターン被覆率がほぼ均一になり、前述したローディング効果によるばらつきを抑制することができる。

【0005】

【発明が解決しようとする課題】 しかしながら、図4(b)に示すように、半導体ウェーハの端部301Aにおいては、独立したダミー配線304aが形成されてしまうことにもなり、その独立したダミー配線は下地との接着強度が不十分になりやすいため容易に剥がれて他の部分に再付着してしまう。また、運搬用キャリアの縁などで擦れると半導体ウェーハ端部の微細配線（ダミー配線304）は必ずしも独立していないものでも剥がれてしまうことが多い。

【0006】 こうして剥がれた微細配線が他の部分に再付着すると、絶縁不良をひき起こし、製品の歩留りを下げ、また信頼性を低下させてしまう。さらに、微細配線のくずで製造装置が汚染されてしまうと、その製造装置を用いるすべての製品に影響が出るため重大である。

【0007】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体ウェーハの表面に所定の被膜を形成する工程と、ポジ型レジスト膜を形成する工程と、前記半導体ウェーハ表面の内部領域に少なくとも一つのペレット領域を定義して、前記ペレット領域上の前記ポジ型レジスト膜に所定のパターンを転写し、前記ペレット領域を除く周辺領域上の前記ポジ型レジスト膜に前記パターンの最小寸法を少なくとも上回る最小寸法を有しパターン被覆率が前記パターンと実質的に等しいダミーパターンを転写する工程とを有するというものである。

【0008】

【実施例】 次に本発明について図面を参照して説明する。

【0009】 図1は本発明の第1の実施例を説明するための半導体ウェーハの平面模式図、図2(a)はレティクル上のダミーパターンを示す平面模式図、図2(b)はレティクル上のダミーパターンの半導体ウェーハに投影した状態を示す平面模式図である。

【0010】 本実施例はアルミニウム配線形成におけるリソグラフィ工程に本発明を適用したものである。

【0011】 半導体ウェーハ101の全面に図示しないアルミニウム膜を被着し、図示しないポジ型フォトリソ膜を塗布し、内部領域を複数のペレット領域102に分割し、各ペレット領域に所定のパターンを投影する。この投影露光工程において、周辺領域には、図2(a)に示すレティクル105を用いてレティクル上のダミーパターン105Aを投影する。

【0012】 レティクル105には線幅25μm、間隔50μmの縞状のダミーパターン105Aが描かれている。縮小投影型露光装置を用いて5分の1に縮小して半導体ウェーハ101のポジ型フォトリソ膜に投影し、線幅5μm間隔10μmの縞状サブダミーパターン103Cの潜像を得る。位置をずらして同様の操作を半導体ウェーハ101の周辺領域全域にわたって繰り返す。

ことによって図1に示すように、縞状ダミーパターン103Bを形成することができる。

【0013】周辺領域におけるパターン被覆率は約33%となる。ペレット領域102には、より複雑な形状のパターンが転写されることになるが、その最小線幅は1 μ mでパターン被覆率も約33%であるとする。

【0014】ダミーパターンの最小線幅は、ペレット領域102での最小線幅より大きく、好ましくは2~3倍程度以上にしておく。半導体ウェーハ101の周辺領域に形成されるダミー配線が剥れ難くするためである。

【0015】パターン被覆率がウェーハ全面でほぼ均一になるのでローディング効果によるばらつきを抑制できる。本実施例ではダミー配線が直線状をしているが、曲線状例えば正弦曲線状にしてもよい。

【0016】図5(a)は本発明の第2の実施例を説明するための半導体ウェーハの平面模式図、図5(b)は第2の実施例によるダミー配線を示す斜視図である。

【0017】半導体ウェーハ401上には、アルミニウム配線のリソグラフィ工程においてペレット領域402がマトリクス状に配置され周辺領域にはダミーパターン403Bが形成されている。

【0018】このダミーパターンは線幅5 μ m、間隔20 μ mの縦縞と、線幅5 μ m、間隔25 μ mの横縞とが交差している格子縞状パターンであり、隣接する露光ショット間でパターンが接続するように形成している。パターン被覆率は33%でありペレット領域内のアルミニウム配線のパターン被覆率と概略等しい値である。こうして形成される格子縞状ダミー配線404は、半導体ウェーハの任意の端部401Aにおいても独立することがないので下地との接着性が強く、第1の実施例より一層剥がれにくい。

【0019】本実施例では、直線状の縦縞と横縞が直交しているが、斜交していてもよい。あるいは互いに斜交する3本の縞を設けてもよい。更に、直線状に限らず、互いに交わる曲線状(例えば正弦曲線のような周期生

曲線状)の縞を用いてもよい。

【0020】

【発明の効果】以上説明したように本発明は半導体ウェーハにパターンを転写形成するリソグラフィ工程において、半導体ウェーハの周辺領域に、内部領域に存在するパターン最小寸法を少くとも上回る最小寸法を有し、かつ内部領域におけるパターン被覆率と概略等しいパターン被覆率を有するダミーパターンを形成するので、半導体装置の製造工程中でパターン被覆率に依存するローディング効果をよるばらつきを抑制するとともに、半導体ウェーハ端部からの微細パターンの剥がれを防止することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用する半導体ウェーハの平面模式図である。

【図2】本発明の第1の実施例における露光工程の説明に使用するレティクルの平面模式図(図2(a))および半導体ウェーハの平面模式図(図2(b))である。

【図3】従来の技術の説明に使用する半導体ウェーハの平面模式図である。

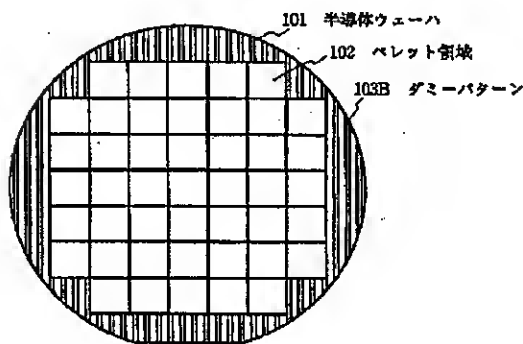
【図4】従来の技術の説明に使用する半導体ウェーハの平面模式図(図4(a))、および斜視図(図4(b))である。

【図5】本発明の第2の実施例の説明に使用する半導体ウェーハの平面模式図(図5(a))、および斜視図(図5(b))である。

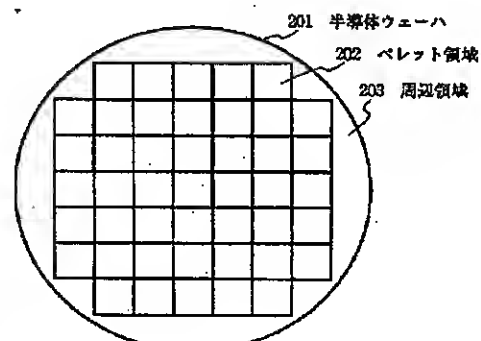
【符号の説明】

101, 101, 301, 401	半導体ウェーハ
102, 202, 302, 402	ペレット領域
103B	ダミーパターン
103C	サブダミーパターン
203	周辺領域
303A	ダミーペレット領域
403B	ダミーパターン
304, 404	ダミー配線

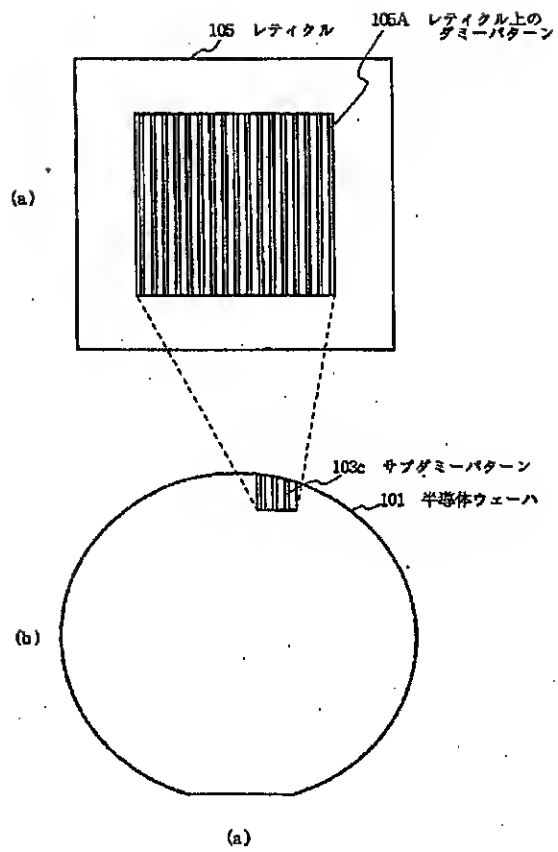
【図1】



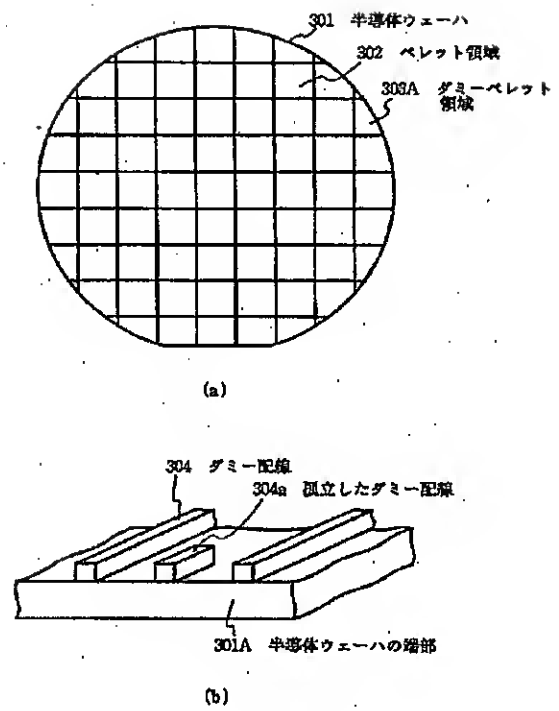
【図3】



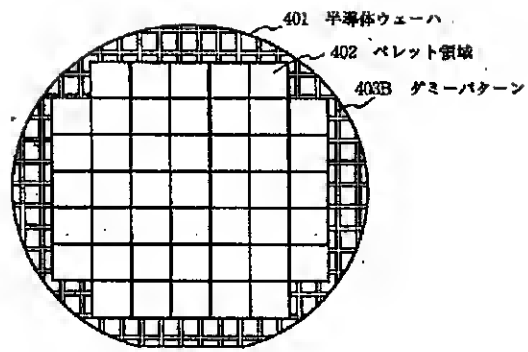
【図2】



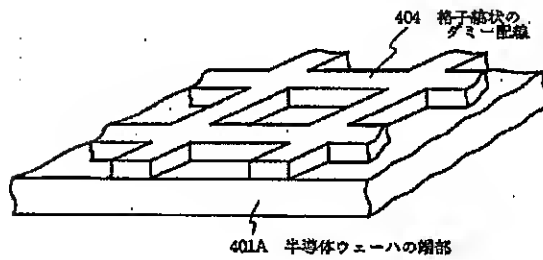
【図4】



【図5】



(a)



(b)